

1. Uzupełnij zapis układów CPLD rodziny XC9500XL:
 - a. makrokomórka ma standardowa liczbę iloczynów - _____
 - b. blok funkcyjny ma całkowita liczbę przerzutników - _____
 - c. każda makrokomórka ma liczbę przerzutników - _____
 - d. liczba globalnych sygnałów zegarowych - _____
 - e. typ przerzutników (T,D,RS,JK) - _____

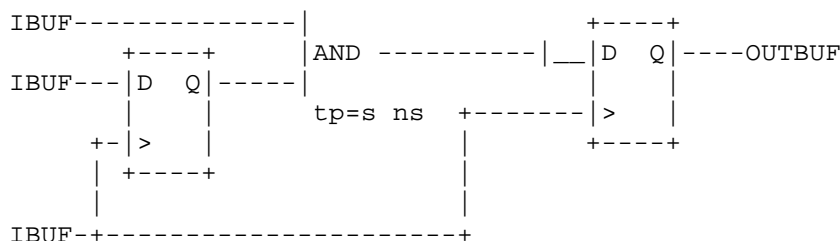
2. W poniższych punktach należy podać do której technologii programowania układów PLD/FCPGA odnosi się podana cecha. Proszę wpisać jeden z następujących skrótów: F PROM, AF PROM, EPROM, EEPROM, S-RAM.
 - a. technologia programowania układów bipolarnych - _____
 - b. programowanie jednokrotne układów CMOS o dużym stopniu scalenia - _____
 - c. możliwość rekonfiguracji układu podczas pracy - _____
 - d. największa trwałość połączeń progr. - _____
 - e. kasowanie z wykorzystywaniem efektu tunelowego - _____
 - f. programowanie nieulotne kasowane elektrycznie - _____

3. Układ PALCE22V10 (wpisać TAK/NIE)
 - a. jest kasowalny ultrafioletem - _____
 - b. ma programowalną matrycę iloczynów (AND) - _____
 - c. ma programowalny typ przerzutnika D/T - _____
 - d. ma jednakową liczbę bramek iloczynu dołączonych do bramek OR w matrycy - _____
 - e. jest wykonany w technologii EECMOS - _____
 - f. ma 22 przerzutniki - _____

4. Wpisz do tabeli odpowiednie oznaczenia układów: PAL, PLA, PLE

układ\matryca	sum	iloczynów
PLA	progr	progr
PLE	progr	stala
PAL	stale	progr

5. Oblicz maksymalne dopuszczalne opóźnienie wnoszone przez bramkę AND jeśli poniższy układ ma pracować z częstotliwością $f_{max}=50\text{MHz}$. Podaj wzór symboliczny oraz oblicz wartość (oba przerzutniki mają identyczne parametry).



$t_{pCQ} = 7.0 \text{ ns}$
 $t_{su} = 4.0 \text{ ns}$

th = 2.0 ns

tp= _____ns

6. Układy ASIC typu komórki standardowe (SC) (wpisać TAK/NIE)
a. sa technologia w której uzytkownik projektuje tylko wartswy metalizacji układu scalonego - _____

b. w porównaniu dl FPGA daja nizszy koszt jednostkowy 1 układu scalonego - _____

c. sa technologia w której uzytkownik rozmieszcza gotowe komórki logiczne na powierzchni układu - _____

d. w porównaniu do matryc bramek (GA) daja wyzszy stopien wykorzystania powierzchni układu - _____

e. naleza do układów programowalnych maska - _____

7. Na rysunku pokazano fragment matrycy układu PAL. Oznacz znakiem polaczenia programowalne realizujace funkcje:

$$F = \overline{bc} + \overline{(c+d)} + \overline{b(a+d)}$$

cos mniej wiecej takiego:

a-&==|--|--|--|--|--|--|--|--AND-----___
b-&==|==|--|--|--|--|--|--|--AND----- NOR --> F
c-&==|==|==|--|--|--|--|--|--|--AND-----
d-&==|==|==|==|--|--|--|--|--|--|--AND-----/``

8. Układy CPLD rodziny XC9500XL (wpisać TAK/NIE)

a. maja alokatory termów pozwalajace na wymiane nieuzywanych linii AND miedzy blokami funkcyjnymi - _____

b. zawieraja w zalezności od rozmiaru od 2 do 16 matryc PAL - _____

c. zawieraja przerzutniki których sygnal taktujacy moze byc pobrany tylko z wyprowadzenia zewnetrznego - _____

d. zawieraja dodatkowe przerzutniki w blokach WE/WY do zatraskiwania sygnalów WE - _____

e. mozna skonfigurowac na poziomie kazdej makrokomórki w trybie obnizonego poboru mocy - _____

1. Uzupełnij zapis układów CPLD rodziny XC9500XL:

a. makrokomórka ma standardowa liczbe iloczynów - 5

b. blok funkcyjny ma calkowita liczbe przerzutników - 18 (tyle jest makrokomórek w bloku a kazda mikrokomórka posiada jeden przerzutnik)

c. kazda makrokomórka ma liczbe przerzutników - 1

- d. liczba globalnych sygnałów zegarowych - 3 (Global Clock - GCKx3)
 e. typ przerzutników (T,D,RS,JK) - T/D

2. W poniższych punktach należy podać do której technologii programowania układów PLD/FCPGA odnosi się podana cecha. Proszę wpisać jeden z następujących skrótów: F PROM, AF PROM, EPROM, EEPROM, S-RAM.

- a. technologia programowania układów bipolarnych - F PROM
 b. programowanie jednokrotne układów CMOS o dużym stopniu scalenia - AF PROM
 c. możliwość rekonfiguracji układu podczas pracy - S-RAM
 d. największa trwałość połączeń progr. - F PROM
 e. kasowanie z wykorzystywaniem efektu tunelowego - EEPROM
 f. programowanie nieulotne kasowane elektrycznie - EEPROM

F PROM - Fuse PROM (czyli programowane za pomocą przepalania bezpieczników)

AF PROM - Anti Fuse PROM (programowane za pomocą antybezpieczników -> w technologii CMOS)

3. Układ PALCE22V10 (wpisać TAK/NIE)

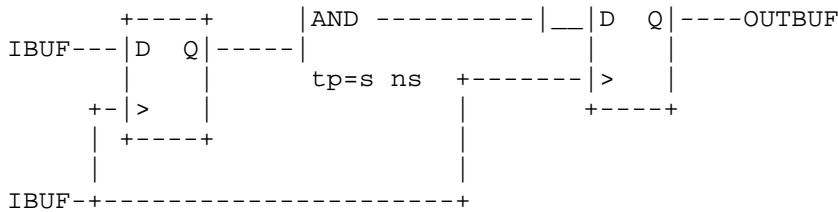
- a. jest kasowalny ultrafioletem - NIE (jest kasowalny elektrycznie)
 b. ma programowalną matrycę iloczynów (AND) - TAK (AND programowalne, OR nie programowalne)
 c. ma programowalny typ przerzutnika D/T - NIE (tylko D)
 d. ma jednakową liczbę bramek iloczynu dołączonych do bramek OR w matrycy - NIE (liczba bramek jest zmienna: od 8 do 16)
 e. jest wykonany w technologii EECMOS - TAK (Electric Erasable CMOS)
 f. ma 22 przerzutniki - NIE (ma ich dokładnie 10)

4. Wpisz do tabeli odpowiednie oznaczenia układów: PAL, PLA, PLE

układ\matryca	sum	iloczynów
PLA	progr	progr
PLE	progr	stala
PAL	stale	progr

5. Oblicz maksymalne dopuszczalne opóźnienie wnoszone przez bramkę AND jeśli poniższy układ ma pracować z częstotliwością $f_{max}=50\text{MHz}$. Podaj wzór symboliczny oraz oblicz wartość (oba przerzutniki mają identyczne parametry).

IBUF-----| +-----+



tpCQ= 7.0 ns
 tsu = 4.0 ns
 th = 2.0 ns

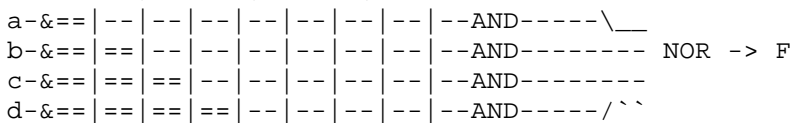
$$T = tpCQ + tsu + tp \Rightarrow tp = T - tpCQ - tsu \Rightarrow tp = 1/f - tpCQ - tsu \Rightarrow tp = 20 \text{ ns} - 7 \text{ ns} - 4 \text{ ns} = 9 \text{ ns}$$

6. Układy ASIC typu komórki standardowe (SC) (wpisać TAK/NIE)
- sa technologia w której użytkownik projektuje tylko warstwy metalizacji układu scalonego - NIE (warstwy metalizacji projektuje się w GA)
 - w porównaniu do FPGA dają niższy koszt jednostkowy 1 układu scalonego - TAK (SA = 8\$ a FPGA=36\$)
 - sa technologia w której użytkownik rozmieszcza gotowe komórki logiczne na powierzchni układu - TAK (na tym to właśnie polega)
 - w porównaniu do matryc bramek (GA) dają wyższy stopień wykorzystania powierzchni układu - TAK (SC=25k bramek/cm³ a GA=20k bramek/cm³)
 - należą do układów programowalnych maska - TAK (tak samo jak Full Custom i Gate Arrays)

7. Na rysunku pokazano fragment matrycy układu PAL. Oznacz znakiem połączenia programowalne realizujące funkcje:

$F = ((bc + (c+d) + b(a+d))$ należy przekształcić do równania: $F = ((bc + c/d + ba + bd)$ i zaznaczyć krzyżykami na rysunku poszczególne przecięcia sygnałów z liniami odpowiednich bramek AND.

cos mniej więcej takiego:



8. Układy CPLD rodziny XC9500XL (wpisać TAK/NIE)
- mają alokatory termów pozwalające na wymianę nieużywanych linii AND między blokami funkcyjnymi - NIE (mają alokatory termów pozwalające na wymianę nieużywanych linii AND między makrokomórkami zawartymi w jednym bloku funkcyjnym)
 - zawierają w zależności od rozmiaru od 2 do 16 matryc PAL - TAK (w zależności od modelu)

posiadają od 2 do 16 bloków funkcyjnych, blok funkcyjny~matryca PAL)

c. zawierają przerzutniki których sygnał taktujący może być pobrany tylko z wyprowadzenia zewnętrznego - NIE

d. zawierają dodatkowe przerzutniki w blokach WE/WY do zatrzymywania sygnałów WE - NIE

e. można skonfigurować na poziomie każdej makrokomórki w trybie obniżonego poboru mocy - TAK